

Hocheffizienz-Gleichrichtersystem mit 99,2% Wirkungsgrad

Durch Wahl einer geeigneten Betriebsart ist ein Konvertersystem höchster Effizienz ohne SiC-Leistungsbauteile möglich. Kernergebnisse eines Forschungsprojektes zeigt dieser Beitrag.

JOHANN W. KOLAR *, JOHANN MINIBÖCK **



Bild 1: Demonstrator des ultra-effizienten 3,3-kW-Einphasen-PFC-Gleichrichtersystems

durchgeführten Forschungsprojektes des European Center for Power Electronics (ECPE, www.ecpe.org) Konzepte von Einphasen-Gleichrichterschaltungen mit Sinus-Stromaufnahme hinsichtlich des maximal erreichbaren Wirkungsgrades analysiert.

Eine Gleichrichterstruktur ohne Eingangsdiodenbrücke

Nachfolgend werden kurz Kernergebnisse dieses Berichtes am Beispiel eines Höchsteffizienz-Gleichrichtersystems zusammengefasst, welche einerseits die heute de facto bestehende Grenze der Verlustverringerung und andererseits die dabei noch erreichbare Leistungsdichte deutlich machen. Die Nennleistung des Systems wurde mit Blick auf Anwendungen im Bereich IT-Stromversorgung und der zunehmend an Bedeutung gewinnenden Batterieladung von Elektrofahrzeugen mit $P=3,3$ kW definiert. Die Leistungsdichte sollte jedenfalls $p>1$ kW/dm³ betragen.

Bei Forderung nach extremer Effizienz liegt der Einsatz einer Gleichrichterstruktur ohne Eingangsdiodenbrücke nahe, d.h. eines als Bridgeless- oder Double-Boost-PFC-Gleichrichter bezeichneten Konzeptes. Im konkreten Fall wurden, um einen hohen Teillastwirkungsgrad sicherzustellen, zwei phasenversetzt getaktete Teilsysteme mit SiC-Superjunction-MOSFETs (CoolMOS C6) und SiC-Freilaufdioden angeordnet und im Continuous Conduction Mode (CCM) betrieben. Die für das Bridgeless-Konzept charakteristische Common-Mode-Komponente der Ausgangsspannung wurde im Wesentlichen durch interne kapazitive Anbindung der Ausgangsklemmen an die AC-Seite und Einfügen einer Gleichtaktinduktivität in diese innere Schleife unterdrückt. Mit Rücksicht auf die Effizienz wurde weiter eine relativ tiefe Schaltfrequenz von $f=33$ kHz gewählt und zur Verbreiterung und Absenkung des EMV-Störspektrums eine doppelt netzfrequente

Die Weiterentwicklung leistungselektronischer Konverter ist durch die Forderung nach möglichst simultaner Verringerung des Bauvolumens, der Verluste und der leistungsbezogenen Kosten geprägt. Beispielsweise wird heute im Bereich von Telekom-Stromversorgungen für die Umsetzung der Einphasennetzspannung in eine potenzialgetrennte Gleichspannung (Speisung der 48-V-Schiene) bei 50% Nennleistung typisch eine Effizienz von 97% (für 230 V_{rms} Netzspannung) bei einer Leistungsdichte

von 2,5 bis 3 kW/dm³ erwartet. Bei Annahme gleicher Leistungsdichte und Effizienz der Gleichrichter- und DC/DC-Konverterstufe ist also je Teilsystem eine Effizienz von 98,5% bei einer Leistungsdichte von 5 kW/dm³ zu realisieren. Weiter ist ein über den Leistungsbereich flacher Wirkungsgradverlauf, d.h. insbesondere eine hohe Teillasteffizienz sicherzustellen.

Für eine nächste Produktgeneration stellt sich daher einerseits die Frage nach der geeigneten und mittels bestehender Technologien zu erfüllenden Zielvorgabe und andererseits nach dem bei Maximierung einer Performancegröße hinsichtlich der übrigen Kenngröße zu schließenden Kompromiss. In jedem Fall ist ja eine gleichzeitige Verbesserung eines bestehenden Designs bei Beibehaltung der Technologie nur dann möglich, wenn die bestehende Lösung noch nicht vollständig optimiert ist bzw. noch nicht an der Grenze des Performance-Raumes (Pareto-Front) liegt.

Ausgehend von der vorstehend beschriebenen Überlegung wurden im Rahmen eines an der ETH Zürich (www.pes.ee.ethz.ch)



* Prof. Johann Kolar
... ist Director Power Electronic Systems Laboratory an der ETH Zürich.



** Johann Miniböck
... ist Consultant für Leistungselektronik in Purgstall, Österreich.

Schaltfrequenzmodulation mit 6 kHz Hub implementiert.

Der so bei Nennspannung erreichte Nennlast-Wirkungsgrad beträgt 99,1% (inklusive aller Hilfsversorgungen). Durch Erhöhung der Zahl paralleler MOSFETs und Dioden würde zwar eine Reduktion der Leitverluste resultieren, gleichzeitig würden sich damit allerdings auch die kapazitiven Schaltverluste erhöhen (der oben genannte Wirkungsgradwert gilt für die optimale Komponentenzahl). Sollten die kapazitiven Schaltverluste trotz höherer Komponentenzahl unverändert bleiben, müsste die Schaltfrequenz abgesenkt werden, was jedoch zu einem höheren Bauvolumen der Boost-Induktivitäten und damit zu einer Verringerung der ohnehin bereits geringen Leistungsdichte von 1,1 kW/dm³ führt.

Weniger Verluste durch ein anderes Schaltungskonzept

Eine Verringerung der Verluste bei gleicher Leistungsdichte ist somit nur durch einen Wechsel des Schaltungskonzeptes möglich. Um den in der Verlustbilanz besonders hervortretende Leitverlustanteil der Dioden zu verringern, ist hierbei der Einsatz von MOSFETs anstelle von Dioden, d.h. einer Synchrongleichrichtung naheliegend. Allerdings treten dann aufgrund der relativ hohen Sperrverzugszeit der MOSFET-internen Dioden und der für kleine Drain-Source-Spannungen hohen parasitären Ausgangskapazität der Synchrongleichrichter-MOSFETs beim Wiedereinschalten, d.h. bei Übernahme des Stromes aus den Freilaufdioden (CCM), hohe Rückstromspitzen und damit hohe Schaltverluste auf. Diese Verluste sind durch Änderung der Betriebsart auf Boundary Conduction Mode (BCM) vermeidbar. In diesem Fall wird der Strom am Ende des Freilauf-

intervalls Null und anschließend schwingt die Spannung am Anschlußpunkt der Induktivität von der positiven Ausgangsspannungsschiene um die jeweilige Netzspannung. Für Netzspannungen bis zur halben Ausgangsspannung wird dabei die negative Ausgangsspannungsschiene erreicht, womit ein spannungsloses Wiedereinschalten (Zero Voltage Switching, ZVS) möglich ist.

Für höhere Netzspannungsmomentanwerte würden allerdings wieder kapazitive Schaltverluste auftreten. Dies kann durch eine geringfügige Modifikation der Steuerung verhindert werden. Ein Synchrongleichrichter-MOSFET wird dabei am Ende der Freilaufphase bis zum Erreichen eines hinreichend hohen negativen Stromwertes im Einschaltzustand gehalten. Nach dem Abschalten stellt dieser, dann durch die Induktivität eingepreßte negative Strom ein vollständiges Umschwingen der Spannung sicher. Schaltverluste werden also (ideal) vollständig vermieden.

Dreieckförmiger Stromverlauf mit geringen Negativ-Anteilen

Damit steht im Gegensatz zum CCM-Betrieb die Möglichkeit einer Verringerung der Leitverluste über Erhöhung der in Parallelschaltung betriebenen Elemente offen. Der in der Induktivität fließende Strom zeigt nun einen näherungsweise dreieckförmigen Verlauf mit geringen negativen Anteilen, demgemäß ist der Betriebsmodus nicht mehr als BCM, sondern besser z.B. als Triangular Current Mode (TCM) oder Resonant Transition Mode zu bezeichnen. Wie für BCM liegt auch hier eine über die Netzperiode variierende Schaltfrequenz vor, wobei jedoch über entsprechende Wahl der Dauer des Intervalls mit negativem Strom (bei gleichzeitiger Anpassung der Dauer der Stromaufbauphasen)

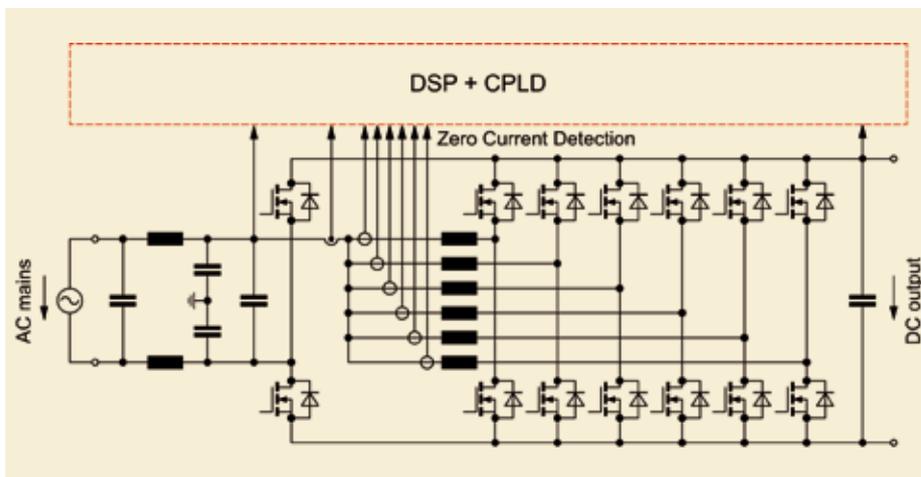


Bild 2: Grundschialtung des Leistungsteils

Bei uns bewegt sich was!

Webcasts auf www.elektronikpraxis.de



Finden Sie die Lösung für Ihr Problem – als Video oder Audiodatei.

Beispiele für Webcasts:

- Anwendungsbeschreibungen komplexer, erklärungsbedürftiger Produkte
- anwendungs- und lösungsorientierte Produktpräsentationen
- vertonte Powerpointpräsentationen, Produktanimationen, Experteninterviews oder Messeberichte
- Online-Seminare, Online-Konferenzen

Schauen Sie doch mal rein!
--> www.elektronikpraxis.de

ELEKTRONIK PRAXIS | Wissen. Impulse. Kontakte.

eine konstante Schaltfrequenz einstellbar wäre.

Um auch bereits ohne EMV-Filterung einen relativ glatten Eingangs- und Ausgangsstromverlauf bzw. eine relativ geringe Strombelastung der Ein- und Ausgangskapazitäten zu erreichen, sind nun vorteilhaft n Schaltstufen phasenversetzt parallel zu betreiben. Die im vorliegenden Fall ausgeführte Schaltung ist in Bild 1 bzw. Bild 2 gezeigt. Die Gleichrichtung der Eingangsspannung wird dabei durch einen zweiten, nur netzfrequenz taktenden Brückenweig erreicht. Die Wahl von $n=6$ begründet sich durch die dann günstige Strombeanspruchung der MOSFETs (Einzelschalter), den insgesamt kompakten Konverteraufbau durch entsprechende Magnetkernformen sowie durch die so gut realisierbare hohe Teillasteffizienz.

Konzeptumsetzung mit DSP und CPLD

Die Steuerung des Systems erfolgt aufgrund der nicht genau definierten Reaktionszeit eines DSP auf ein externes Hardware-Interrupt-Signal durch ein CPLD. Die Zeitdauer der einzelnen Abschnitte der Dreieckstromform werden dabei durch den DSP in Abhängigkeit der Netz- und Ausgangsspannung und des einzustellenden Strommittelwertes (überlagerter Ausgangsspannungsregler) berechnet und über das SPI-Interface an das CPLD weitergegeben. Die Steuersequenz der Schalter wird durch das digitale Ausgangssignal einer Stromnulldurchgangserkennung getriggert (eines sättigbaren Toroid-Magnetkerns (R6.3), welcher nur in der Umgebung der Stromnulldurchgänge die Sättigung verlässt und Spannung aufnimmt bzw. eine Induktion einer positiven oder negativen Spannung in einer Sekundärwicklung bewirkt und so einen Komparator umschaltet, Bild 3). Durch das CPLD ist eine Reaktion innerhalb von 40 ns möglich. Der Ablauf der einzelnen Zeitintervalle (einschließlich der Verriegelungszeiten der Schalter eines Brückenzeuges) wird durch eine, auch Maximalzeiten überwachende, State-Machine definiert.

Aufgrund der Dreieckstromform variiert die Schaltfrequenz über die Netzperiode, womit vorteilhaft eine breite Verteilung der pulsfrequenten Oberschwingungsleistung und damit ein lokal tiefes Niveau leitungsgebundener Störungen resultiert. Mit Rücksicht auf die Kern- und Wicklungsverluste wird die mittlere Schaltfrequenz relativ niedrig gewählt und die maximale Schaltfrequenz auf 100 kHz begrenzt, was in der Umgebung der Spannungs nulldurchgänge zu stromlosen Intervallen bzw. geringen Stromverzerrun-

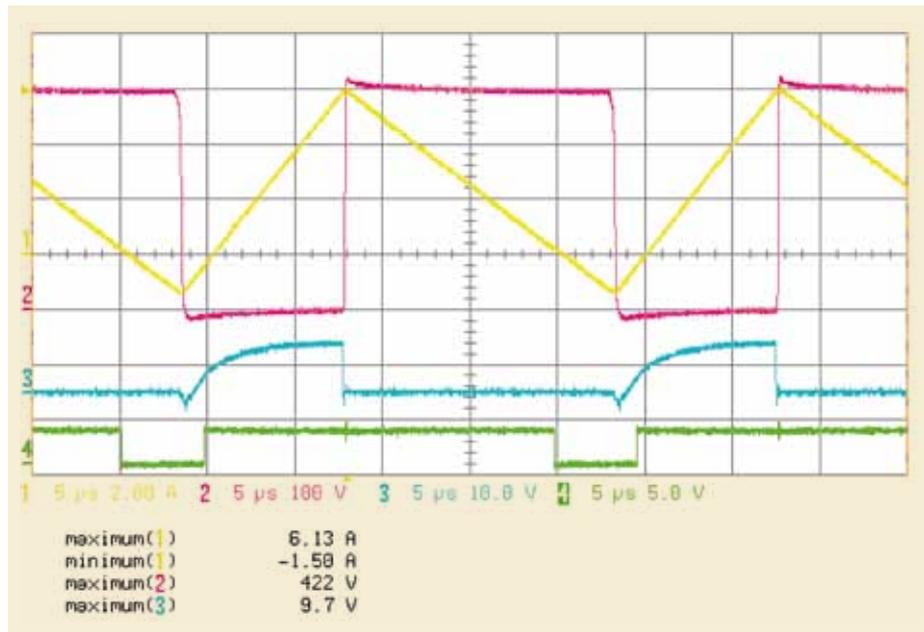


Bild 3: Verlauf des Eingangstromes einer Zelle, Drain-Source-Spannung und Gate-Source-Spannung des zugeordneten MOSFETs und Ausgangssignal der Stromnulldurchgangsdetektion

gen führt. Die optimale Phasenversetzung der jeweils in Betrieb befindlichen Zweige (bei Teillast werden Zweige abgeschaltet) wird über eine Regelung eingestellt. Das CPLD misst hierzu die Dauer einer Schaltperiode des Dreieckstroms einer Masterphase und die Flanken der Stromnulldurchgangssignale in den anderen Phasen bezogen auf durch die aktive Phasenzahl definierten Referenzzeitpunkte. Die zeitlichen Differenzen gegenüber den Referenzpunkten stellen dann Regelabweichungen für Synchronisiererregelkreise dar, welche die Einschaltzeiten der Zweige so verändern, dass die Differenzzeiten zu Null geregelt werden.

3,3 kW Ausgangsleistung und nur 20 W Verlust

Wie eine Verlustanalyse und eine Wirkungsgradmessung mittels Power Analyzers (Yokogawa WT3000, Genauigkeit der Wirkungsgradmessung 0,04%) zeigt, weist das System (Leistungsdichte 1,1 kW/dm³) bei Nennspannung eine Nennlast-Effizienz von 99,23% und an der oberen Eingangsspannungstoleranzgrenze (+10%) einen Wirkungsgrad von 99,34% auf, womit die gegenüber dem CCM-Betrieb angestrebte Wirkungsgraderhöhung unter Beibehaltung der Leistungsdichte erreicht wird. Insgesamt treten so bei einer Ausgangsleistung von 3,3 kW nur Verluste von ca. 20 W auf! Nach Wissen der Autoren stellt dies den höchsten bisher für Einphasen-PFC-Gleichrichterschaltungen gemessenen Wirkungsgrad unter Berücksichtigung aller Hilfsversorgungen/

Verlustanteile dar. Aufgrund der geringen Verluste kann eine forcierte Kühlung unterbleiben. Nach einer Betriebszeit von einer Stunde beträgt die maximale Temperaturerhöhung gegenüber der Umgebung nur 23 °C. Die Verluste entfallen zu nahezu 50% auf die Leistungs-MOSFETs und zu etwa 25% auf die Boost-Induktivitäten, welche speziell mit einem bei relativ tiefer Temperatur das Verlustminimum aufweisenden Kernmaterial (Ferroxcube 3C95) ausgeführt sind. Die Verluste der wieder im Sinne der Verlustminimierung mit Folienkondensatoren (Polyester) anstelle von Elektrolytkondensatoren (Leckströme, Seriensatzwiderstand) ausgeführten Ausgangskondensatoren betragen etwa 1,7 W (8%). Weiter entfallen auf die Gate-Ansteuerungen 1,1 W (5%, Gatesteuerspannung 10 V), auf den DSP und das CPLD 1,5 W (7%) und auf die Stromnulldurchgangserkennung und die Strommessung ungefähr 2 W (10%). Durch Reduzierung der Zahl aktiver Zweige kann die Effizienz bis zu 500 W Ausgangsleistung auf Werte >99% gehalten werden.

Die Messung der leitungsgebunden elektromagnetischen Störaussendung zeigt trotz eines nur einstufigen EMV-Filters (siehe Bild 1) aufgrund der relativ tiefen mittleren und über die Netzperiode stark variierenden Schaltfrequenz ein bei 150 kHz um 6 dB unter dem Grenzwert CISPR 22/Class B liegendes Störmiveau, welches auch aufgrund fehlender steiler Schaltflanken eine nach hohen Frequenzen hin monoton abfallende Charakteristik aufweist.

Zusammenfassend ist also ein Konverter-system höchster Effizienz bei Wahl einer geeigneten Betriebsart ohne SiC-Leistungshalbleiterelemente realisierbar. Als wesentliche Merkmale des hier beschriebenen Ansatzes sind ein direkt mit der Konvertergrundstruktur, d.h. ohne Hilfsnetzwerke realisierter, ideal schaltverlustfreier Reonant Transition Mode und eine hohe Zahl von phasenversetzt taktenden Zweigen hervorzuheben. Die Schaltverlustfreiheit wird dabei letztlich durch die Inkaufnahme diskontinuierlicher Ströme ermöglicht, welche jedoch aufgrund der hervorragenden Leiteigenschaften von Superjunction-MOSFETs nur in geringen Leitverlusten resultieren. Vorteilhaft erfordert die Dreieckstromform nur geringe Induktivitätswerte und unterstützt so ein geringes Bauvolumen. Über die hohe Zahl von Zweigen ist bei entsprechender Synchronisierung trotz des hohen Einzelstrom-Rippel ein weitgehend glatter Gesamtstrom möglich. Diese Betriebsweise ist in einfacher Form nur durch digitale Steuerbausteine (DSP, CPLD) möglich. Das gewählte Konverterkonzept gewinnt also den Performancevorteil vor allem durch Abstützung auf zwei sich nach wie vor dynamisch entwickelnde

Technologien und durch Minimierung von Komponenten mit geringer Entwicklungsdynamik (z.B. Magnetmaterialien).

Mit der Weiterentwicklung des Standes der Technik (jährlich in umfassender Form durch die Fachausstellung und Fachkonferenz der PCIM Europe abgebildet) ist also eine weitere Steigerung der Performance zu erwarten.

Wie aufgrund der Konvertergrundstruktur unmittelbar einsichtig, erlaubt das gezeigte PFC-Gleichrichtersystem auch eine Rückspeisung von Energie in das Netz (z.B. für Vehicle-to-Grid Applications). Ohne Potentialtrennung der Last ist hier allerdings die durch den Polaritätsumschaltzweig hervorgerufene netzfrequente Rechteck-CM-Spannung zu berücksichtigen.

Abschliessend sei darauf hingewiesen, dass bei der Beurteilung der Effizienz eines Konvertersystems stets auch die übrigen Performancegrößen wie die Leistungsdichte und der Realisierungsaufwand im Blick zu behalten sind. Nur die Kombination dieser Größen vermittelt ein vollständiges Bild des durch eine Realisierung erreichten „Technology-Node“. Wie eine umfassendere Analyse zeigt, ist für das vorgestellte Gleichrichter-

konzept eine Wirkungsgrad/Effizienzkombination von 99,2%/1,1 kW/dm³ oder alternativ von 98,5%/5 kW/dm³ möglich. Hoher Wirkungsgrad verlangt also einen Verzicht auf Leistungsdichte (im gegenständlichen Fall: Halbierung der Verluste durch Reduktion der Leistungsdichte um einen Faktor 5). Oder es erlaubt ein niedriger Wirkungsgrad eine kompaktere Bauweise, bis zum Erreichen einer thermischen Grenze, welche durch forcierte Kühlverfahren jedoch relativ flexibel ist.

Die Autoren danken dem European Center for Power Electronics (ECPE) für die Unterstützung des Forschungsprojektes im Rahmen einer Technologiestudie zu hoch-effizienten Konvertersystemen, sowie Dr. G. Deboy/Infineon für die Bereitstellung der im Demonstratorsystem eingesetzten Leistungshalbleiter. // KU

ETH Zürich +41(0)44 6328388

InfoClick

Das Emnergy Science Center an der ETH Zürich

www.elektronikpraxis.de

InfoClick 3159567

Spezial-Newsletter für Elektronik-Profis

Tages-Newsletter mit den Nachrichten der letzten 24 Stunden für Management und Marketing

Wochen-Newsletter mit den besten Fachbeiträgen und Expertentipps für Entwicklung und Fertigung



kostenlos unter www.elektronikpraxis.de/newsletter

